

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-235251

(43)Date of publication of application : 22.08.2003

(51)Int.Cl.

H02M 3/155
G05F 3/24

(21)Application number : 2002-032479

(71)Applicant : ROHM CO LTD

(22)Date of filing : 08.02.2002

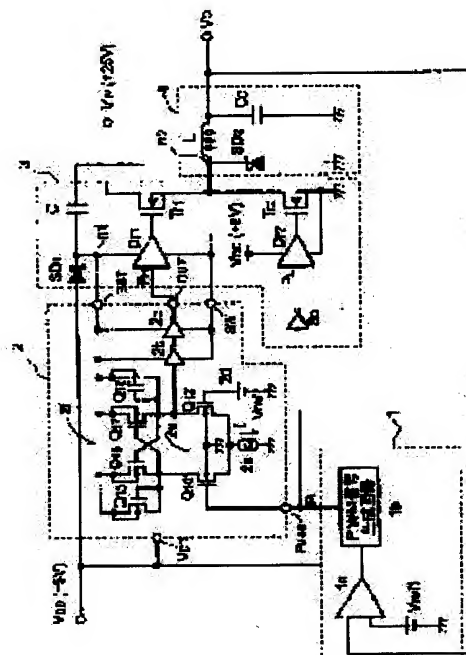
(72)Inventor : UMEMOTO SEIKI

(54) SWITCHING REGULATOR

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a switching regulator where the switching action is speedy and the regulation is stable, in a boost strap system of DC/DC switching converter which has high input power voltage and low power voltage for control and performs the switching of an output transistor, with drive voltage higher than input power voltage so as to perform regulation.

SOLUTION: This switching regulator generates the control pulses PH of voltage higher than the input power voltage which repeats rise and fall quickly, according to the control pulses PL of low voltage, and drives a switching transistor Tr1 on the final stage, by making use of a comparator 2e and a switch circuit 2f consisting of amplifiers in positive feedback connection in a level shift circuit 2 in itself.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2003-235251

(P2003-235251A)

(43) 公開日 平成15年 8 月22日 (2003.8.22)

(51) Int.Cl.⁷

識別記号

F I

テーマコード(参考)

H 0 2 M 3/155

H 0 2 M 3/155

H 5 H 4 2 0

G 0 5 F 3/24

G 0 5 F 3/24

Z 5 H 7 3 0

審査請求 未請求 請求項の数 3 O L (全 9 頁)

(21) 出願番号 特願2002-32479(P2002-32479)

(22) 出願日 平成14年 2 月 8 日 (2002.2.8)

(71) 出願人 000116024

ローム株式会社

京都府京都市右京区西院清崎町21番地

(72) 発明者 梅本 清貴

京都市右京区西院清崎町21番地 ローム株式
会社社内

(74) 代理人 100085501

弁理士 佐野 静夫

Fターム(参考) 5H420 BB12 CC02 DD02 EA12 EA42

EA43 EB37

5H730 AA10 AS01 AS19 BB11 BB57

DD04 DD26 EE08 EE10 EE59

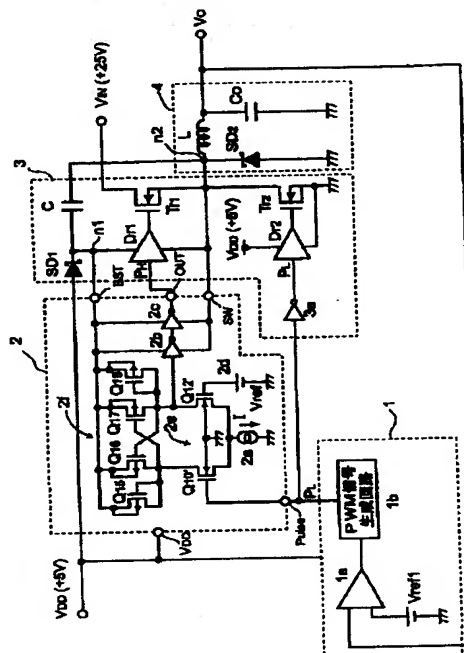
FD01 FG05

(54) 【発明の名称】 スイッチングレギュレータ

(57) 【要約】

【課題】 高い入力電源電圧と低い制御用の電源電圧を有しレギュレーションを行うため、出力トランジスタのスイッチングを入力電源電圧よりも高い駆動電圧で行うブーストストラップ方式のDC/DCスイッチングコンバータにおいて、スイッチング動作が速く、レギュレーションが安定したスイッチングレギュレータを提供する

【解決手段】 スイッチングレギュレータのレベルシフト回路2でコンパレータ2eと正帰還接続された増幅器からなるスイッチ回路2fを利用することにより、低い電圧の制御パルスPLに応じて急速に立ち上がり立ち下がを繰り返す入力電源電圧よりも高い電圧の制御パルスPHを発生し、最終段のスイッチングトランジスタT_{r1}を駆動する。



【特許請求の範囲】

【請求項1】 入力電源の電圧より低い制御電源電圧で動作して、HIGHレベルが前記入力電源より低い電圧をもつ所定のパルス幅の第1の制御パルスを発生する制御回路と、前記入力電源をブーストアップして入力電源より高いブースト電圧を発生するブーストストラップ回路と、ブースト電圧を電源とし前記第1の制御パルスに応じてそのHIGHレベルが前記第1の制御パルスよりも高い第2の制御パルスを発生するレベルシフト回路とを有し、前記入力電源電圧をMOSFETトランジスタの一端に入力し、前記第2の制御パルスに応じて前記MOSFETトランジスタをスイッチングして出力電圧が目標電圧になるように制御するスイッチングレギュレータにおいて、

前記レベルシフト回路は、前記第1の制御パルスのHIGHレベルとLOWレベルとの中間のレベルを基準としてこれと前記第1の制御パルスの電圧とを比較して比較した結果に応じて相補的に定電流源の電流が流れる第1と第2のMOSトランジスタと、

前記第2のMOSトランジスタのドレインにそのゲートが接続され前記第1のMOSトランジスタのドレインにそのドレインが接続された第3のMOSトランジスタと、前記第1のMOSトランジスタのドレインにそのゲートが接続され前記第2のMOSトランジスタのドレインにそのドレインが接続された第4のMOSトランジスタと、前記第3のMOSトランジスタに並列に接続されそのゲートとドレインが前記第3のMOSトランジスタのドレインに接続された第5のMOSトランジスタと、前記第4のMOSトランジスタに並列に接続されそのゲートとドレインが前記第4のMOSトランジスタのドレインに接続された第6のMOSトランジスタとからなり、正帰還接続され前記第2のMOSトランジスタのドレインの出力電圧のHIGHレベルの電圧を前記第1の制御パルスのHIGHレベルより高い電圧に急速に引き上げるスイッチ回路とを備えたことを特徴とするスイッチングレギュレータ。

【請求項2】 入力電源の電圧より低い制御電源電圧で動作して、HIGHレベルが前記入力電源より低い電圧をもつ所定のパルス幅の第1の制御パルスを発生する制御回路と、前記入力電源をブーストアップして入力電源より高いブースト電圧を発生するブーストストラップ回路と、ブースト電圧を電源とし前記第1の制御パルスに応じてそのHIGHレベルが前記第1の制御パルスよりも高い第2の制御パルスを発生するレベルシフト回路とを有し、前記入力電源の電力をMOSFETトランジスタの一端に入力し、前記第2の制御パルスに応じて前記MOSFETトランジスタをスイッチングして出力電圧が目標電圧になるように制御するスイッチングレギュレータにおいて、

前記レベルシフト回路は、第1と第2のインバータに相

補的に入力される第1の制御パルスのレベルに応じて、前記第1と第2のインバータからそれぞれ第1と第2のMOSトランジスタに定電流を供給することにより、入力される前記第1の制御パルスの立ち上がり立ち下りの遅延をそれぞれ抑制する第1と第2のカレントミラー回路を構成する前記第1と第2のMOSトランジスタと、

前記第1と第2のMOSトランジスタのそれぞれの上流又は下流にあってそのゲートに制御電圧を常に印加することにより前記第1と第2のMOSトランジスタの電圧変動を抑制する第3と第4のMOSトランジスタと、前記第4のMOSトランジスタのドレインにそのゲートが接続され前記第3のMOSトランジスタのドレインにそのドレインが接続された第5のMOSトランジスタと、前記第3のMOSトランジスタのドレインにそのゲートが接続され前記第4のMOSトランジスタのドレインにそのドレインが接続された第6のMOSトランジスタと、前記第5のMOSトランジスタに並列に接続されそのゲートとドレインが前記第5のMOSトランジスタのドレインに接続された第7のMOSトランジスタと、前記第6のMOSトランジスタに並列に接続されそのゲートとドレインが前記第6のMOSトランジスタのドレインに接続された第8のMOSトランジスタとからなり、正帰還接続され前記第4のMOSトランジスタのドレインの出力電圧のHIGHレベルの電圧を前記第1の制御パルスのHIGHレベルより高い電圧に引き上げるスイッチ回路と、

前記ブースト電圧にそのソースが接続され、流れる電流によりブースト電圧からその閾値分降下した電圧をそのドレインより前記スイッチ回路に供給し、スイッチ回路でのHIGHレベルへの遷移を行う第9のMOSトランジスタと、

前記第3と第4のMOSトランジスタのドレインからの出力電圧を受け、その出力電圧のタイミングが重なることによる貫通電流が回路に流れることを抑制する複数のMOSトランジスタで構成した貫通電流抑制回路とを備えたことを特徴とするスイッチングレギュレータ。

【請求項3】 HIGHレベルが入力電源より低い電圧をもつ所定のパルス幅の第1の制御パルスを発生する制御回路と、そのHIGHレベルが前記第1の制御パルスよりも高い第2の制御パルスを発生するレベルシフト回路とを有し、前記入力電源を前記第2の制御パルスに応じてスイッチングすることにより出力電圧を制御するスイッチングレギュレータにおいて、

前記レベルシフト回路は、高電位側の端子が共通接続されると同時に低電位側の端子が共通接続され、前記第1の制御パルスのレベルに応じてON/OFFする第1のトランジスタと、第1のトランジスタと相補的にON/OFFする第2のトランジスタとにより構成される第1のスイッチ回路と、高電位側の端子が共通接続されると

10

20

30

40

50

同時に低電位側の端子が共通接続され、前記第1のトランジスタと相補的にON/OFFする第3のトランジスタと、第3のトランジスタと相補的にON/OFFする第4のトランジスタとにより構成される第2のスイッチ回路とを有し、

前記第1のトランジスタの入力端子は前記第3のトランジスタの低電位側の端子に、前記第3のトランジスタの入力端子は前記第1のトランジスタの低電位側の端子にそれぞれ接続され、前記第2と第4のトランジスタの入力端子はそれぞれのトランジスタの低電位側の端子と共

通接続されることにより、
前記第2のトランジスタは前記第3のトランジスタの入力端子に、前記第4のトランジスタは前記第1のトランジスタの入力端子に過電圧が印加されることを防止する一方、前記第1と第3のトランジスタが相補的にON/OFFする時の応答速度を速め、前記第2の回路から前記第1の制御パルスに応じてその電圧よりも高い第2の制御パルスを出力することを特徴とする。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、高い入力電源電圧と低い制御用の電源電圧を有しレギュレーションを行うため、出力トランジスタのスイッチングを入力電源電圧よりも高い駆動電圧で行うブーストストラップ方式のDC/DCスイッチングコンバータにおいて、スイッチングを安定させ動作速度を向上させる改良を行なったスイッチングレギュレータに関する。

【0002】

【従来の技術】携帯型パソコンなどの直流電源を必要とする機器の多様化により、効率よく電圧変換して所定の電圧を得るためにスイッチングレギュレータを用いたDC/DCコンバータが利用されている。

【0003】特に、携帯型の機器では、スイッチングトランジスタのドライブでの電力損失を低減し、スイッチング速度および応答速度の向上を図るため、スイッチングトランジスタにはMOSFETトランジスタを使用し、ブーストストラップ方式で入力電源電圧よりも高いゲート電圧で駆動する。この場合、例えば、制御回路の電源電圧は5Vで、出力回路では10V～30Vなどの高い入力電源電圧をスイッチングして高い出力電圧を得ている。

【0004】図3に従来のレベルシフト回路を採用したスイッチングレギュレータの概略回路例を示す。このスイッチングレギュレータは、制御回路1、レベルシフト回路2、ブーストストラップスイッチング回路3、そして平滑回路4とからなる。VDDには制御用電源、VINには入力電源がそれぞれ入力され、所定の出力電圧がVOから出力される。

【0005】制御回路1は、出力電圧VOが帰還され、所定の基準電圧Vref1と比較されて、その差分を増

幅して出力する誤差増幅器1aと、その差分に応じたデューティをもつ制御パルスPLを発生するPWM信号生成回路1bとから構成されている。尚、制御回路は制御用電源VDDにより電源が供給されている。

【0006】レベルシフト回路2は、前記制御パルスPLを受けて、これを定電流源2a、NPNバイポーラトランジスタQ31およびQ32、抵抗Rから構成される回路により、高い電圧の制御パルスPHに変換して次段に出力する。

【0007】ブーストストラップスイッチング回路3は、高い電圧の制御パルスPHを受けてスイッチング信号を供給するHi側のドライバ回路Dr1と、そのスイッチング信号により入力電源VINをON/OFFするNMOSのトランジスタTr1と、インバータ3aで反転された低い電圧の制御パルスPLを受けてスイッチング信号を供給するLo側のドライバ回路Dr2と、そのスイッチング信号によりトランジスタTr1と相補的にON/OFFするNMOSのトランジスタTr2と、ショットキーダイオードSD1とコンデンサCを利用して接続点n1に入力電源の電圧VINかそれ以上の電圧を発生するブーストストラップ回路により構成されている。

【0008】平滑回路4はショットキーダイオードSD2と、インダクタLとコンデンサCとで構成されるL型の平滑フィルタからなり、出力電圧のリップルを改善している。

【0009】次に、レベルシフト回路2とブーストストラップスイッチング回路3を中心に、その動作を具体的に説明する。Hi側のトランジスタTr1がOFFされると、コンデンサCにはショットキーダイオードSD1を介して、例えば+5VのVDDから充電電流が流れ込み、5Vが充電される。次にトランジスタTr1がONされてトランジスタTr2が相補的にOFFされると、コンデンサCの他端の接続点n2の電圧が、例えば+25Vの入力電源の電圧VINと同じになり、接続点n1の電圧はコンデンサCに充電されている5Vが接続点n2の電圧分、すなわち+25V持ち上がり、+30Vとなる。そして、この接続点n1に発生する電圧+30Vが、ブーストストラップスイッチング回路3のHi側のドライバ回路Dr1と、レベルシフト回路2のトランジスタQ32のコレクタに抵抗Rを介して供給されることになる。

【0010】レベルシフト回路2のトランジスタQ31のコレクタは定電流源2aを介して制御用電源VDDに接続されており、そのエミッタは接地されている。トランジスタQ32のコレクタは前記のように抵抗Rを介してブーストされた接続点n1に接続され、そのコレクタからの出力はHi側のドライバ回路Dr1に入力されるようになっている。同時にそのエミッタは接地されてい

る。このため、トランジスタQ31のベースに入力される+5Vの制御パルスPLを、+30Vの制御パルスPHに変換してトランジスタQ32からHi側のドライバ回路Dr1に出力する。

【0011】その結果、Hi側のドライバ回路Dr1から+25VのLoレベルと+30VのHiレベルをもつ高い電圧の制御パルスがトランジスタTr1のゲート電圧として与えられる。このゲート電圧は入力電源の電圧よりも高いため、トランジスタTr1を高速に駆動し、そのON抵抗を小さくすることが可能になる。また、トランジスタTr2は低電位側で駆動するため低電圧でよく、制御回路1と同様にLo側のドライバ回路Dr2も+5Vの制御用電源VDDにより動作し、+5Vのスイッチング信号を次段のトランジスタTr2のゲートに供給する。

【0012】

【発明が解決しようとする課題】しかし、前記のようなトランジスタQ31とQ32で構成されたレベルシフト回路2では、トランジスタQ31がOFFしたときに、トランジスタQ32が少数キャリアの蓄積効果により飽和するため、その後、制御パルスPH（トランジスタQ2のコレクタと抵抗Rの接続点の電圧）がLOWレベルからHIGHレベルへ遷移するときに顕著な遅れが発生する。このため、Hi側のドライバ回路Dr1の動作が遅れて電圧安定化動作が遅くなる欠点がある。

【0013】また、レベルシフト回路による貫通電流が大きく、消費電流が大きいという問題もあった。

【0014】本発明は、上記のような課題を解決するためになされたものであって、従来のような制御パルスPHの立ち上がり立ち下がり時の遅れを大幅に減少させることにより、電圧安定化動作速度が速く、消費電力の少ないスイッチングレギュレータを提供するものである。

【0015】

【課題を解決するための手段】上記目的を達成するため、本発明では入力電源の電圧より低い制御電源電圧で動作して、HIGHレベルが前記入力電源より低い電圧をもつ所定のパルス幅の第1の制御パルスを発生する制御回路と、前記入力電源をブーストアップして入力電源より高いブースト電圧を発生するブーストストラップ回路と、ブースト電圧を電源とし前記第1の制御パルスに応じてそのHIGHレベルが前記第1の制御パルスよりも高い第2の制御パルスを発生するレベルシフト回路とを有し、前記入力電源電圧をMOSFETトランジスタの一端に入力し、前記第2の制御パルスに応じて前記MOSFETトランジスタをスイッチングして出力電圧が目標電圧になるように制御するスイッチングレギュレータにおいて、前記レベルシフト回路は、前記第1の制御パルスのHIGHレベルとLOWレベルとの中間のレベルを基準としてこれと前記第1の制御パルスの電圧とを

比較して比較した結果に応じて相補的に定電流源の電流が流れる第1と第2のMOSTランジスタと、前記第2のMOSTランジスタのドレインにそのゲートが接続され前記第1のMOSTランジスタのドレインにそのドレインが接続された第3のMOSTランジスタと、前記第1のMOSTランジスタのドレインにそのゲートが接続され前記第2のMOSTランジスタのドレインにそのドレインが接続された第4のMOSTランジスタと、前記第3のMOSTランジスタに並列に接続されそのゲートとドレインが前記第3のMOSTランジスタのドレインに接続された第5のMOSTランジスタと、前記第4のMOSTランジスタに並列に接続されそのゲートとドレインが前記第4のMOSTランジスタのドレインに接続された第6のMOSTランジスタとからなり、正帰還接続され前記第2のMOSTランジスタのドレインの出力電圧のHIGHレベルの電圧を前記第1の制御パルスのHIGHレベルより高い電圧に急速に引き上げるスイッチ回路とを備えたことを特徴とする。

【0016】更に、本発明では入力電源の電圧より低い制御電源電圧で動作して、HIGHレベルが前記入力電源より低い電圧をもつ所定のパルス幅の第1の制御パルスを発生する制御回路と、前記入力電源をブーストアップして入力電源より高いブースト電圧を発生するブーストストラップ回路と、ブースト電圧を電源とし前記第1の制御パルスに応じてそのHIGHレベルが前記第1の制御パルスよりも高い第2の制御パルスを発生するレベルシフト回路とを有し、前記入力電源の電力をMOSFETトランジスタの一端に入力し、前記第2の制御パルスに応じて前記MOSFETトランジスタをスイッチングして出力電圧が目標電圧になるように制御するスイッチングレギュレータにおいて、前記レベルシフト回路は、第1と第2のインバータに相補的に入力される第1の制御パルスのレベルに応じて、前記第1と第2のインバータからそれぞれ第1と第2のMOSTランジスタに定電流を供給することにより、入力される前記第1の制御パルスの立ち上がり立ち下がりの遅延をそれぞれ抑制する第1と第2のカレントミラー回路を構成する前記第1と第2のMOSTランジスタと、前記第1と第2のMOSTランジスタのそれぞれの上流又は下流にあってそのゲートに制御電圧を常に印加することにより前記第1と第2のMOSTランジスタの電圧変動を抑制する第3と第4のMOSTランジスタと、前記第4のMOSTランジスタのドレインにそのゲートが接続され前記第3のMOSTランジスタのドレインにそのドレインが接続された第5のMOSTランジスタと、前記第3のMOSTランジスタのドレインにそのゲートが接続され前記第4のMOSTランジスタのドレインにそのドレインが接続された第6のMOSTランジスタと、前記第5のMOSTランジスタに並列に接続されそのゲートとドレインが前記第5のMOSTランジスタのドレインに接続され

た第7のMOSトランジスタと、前記第6のMOSトランジスタに並列に接続されそのゲートとドレインが前記第6のMOSトランジスタのドレインに接続された第8のMOSトランジスタとからなり、正帰還接続され前記第4のMOSトランジスタのドレインの出力電圧のHIGHレベルの電圧を前記第1の制御パルスのHIGHレベルより高い電圧に引き上げるスイッチ回路と、前記ブースト電圧にそのソースが接続され、流れる電流によりブースト電圧からその閾値分降下した電圧をそのドレインより前記スイッチ回路に供給し、スイッチ回路でのHIGHレベルへの遷移を行う第9のMOSトランジスタと、前記第3と第4のMOSトランジスタのドレインからの出力電圧を受け、その出力電圧のタイミングが重なることによる貫通電流が回路に流れることを抑制する複数のMOSトランジスタで構成した貫通電流抑制回路とを備えたことを特徴とする。

【0017】また、本発明ではHIGHレベルが入力電源より低い電圧をもつ所定のパルス幅の第1の制御パルスを発生する制御回路と、そのHIGHレベルが前記第1の制御パルスよりも高い第2の制御パルスを発生するレベルシフト回路とを有し、前記入力電源を前記第2の制御パルスに応じてスイッチングすることにより出力電圧を制御するスイッチングレギュレータにおいて、前記レベルシフト回路は、高電位側の端子が共通接続されると同時に低電位側の端子が共通接続され、前記第1の制御パルスのレベルに応じてON/OFFする第1のトランジスタと、第1のトランジスタと相補的にON/OFFする第2のトランジスタとにより構成される第1のスイッチ回路と、高電位側の端子が共通接続されると同時に低電位側の端子が共通接続され、前記第1のトランジスタと相補的にON/OFFする第3のトランジスタと、第3のトランジスタと相補的にON/OFFする第4のトランジスタとにより構成される第2のスイッチ回路とを有し、前記第1のトランジスタの入力端子は前記第3のトランジスタの低電位側の端子に、前記第3のトランジスタの入力端子は前記第1のトランジスタの低電位側の端子にそれぞれ接続され、前記第2と第4のトランジスタの入力端子はそれぞれのトランジスタの低電位側の端子と共通接続されることにより、前記第2のトランジスタは前記第3のトランジスタの入力端子に、前記第4のトランジスタは前記第1のトランジスタの入力端子に過電圧が印加されることを防止する一方、前記第1と第3のトランジスタが相補的にON/OFFする時の応答速度を速め、前記第2の回路から前記第1の制御パルスに応じてその電圧よりも高い第2の制御パルスを出力することを特徴とする。

【0018】上記の構成によれば、低い電圧の制御パルスをレベルシフト回路で高い電圧の立ち上がり、立ち下りの速い制御パルスに変換して、Hi側のドライバ回路を介して出力段のMOSトランジスタをスイッチング

するため、高い入力電圧のレギュレーションに対してスイッチング動作が速くなって、レギュレーション動作が安定するとともに、ON抵抗が小さく電力消費の少ないスイッチングレギュレータを提供することができる。

【0019】

【発明の実施の形態】以下、本発明の実施の形態を添付図面を参照して説明する。なお、図3と同一部分は同じ符号を付与し、その詳細な説明は割愛する。図1は本発明の一実施形態であるレベルシフト回路を簡略回路で表したスイッチングレギュレータの概略回路図である。

【0020】図1のスイッチングレギュレータは、制御回路1、レベルシフト回路2、ブーストストラップスイッチング回路3、そして平滑回路4とからなる。VDDには制御用電源、VINには入力電源がそれぞれ入力され、所定の出力電圧がVOから出力される。レベルシフト回路2を除く他の回路は従来技術として説明した図3の回路の構成と同様であり、その構成と動作の説明は省略し、ここでは本発明の一実施形態であるレベルシフト回路2を中心に説明する。

【0021】図1に示す本発明に係るレベルシフト回路2はNMOSトランジスタQ10'とQ12'を差動トランジスタとして動作させてコンパレータ2eとして構成し、そのソースは電流値Iが流れる共通の定電流源2aを介して接地されている。そのため、トランジスタQ12'のゲートは基準電圧Vrefを発生する基準電圧発生回路2dを介して接地され、トランジスタQ10'のゲートは端子Pulseを介して制御パルスであるPWM信号を受ける。PMOSトランジスタQ15からQ18が正帰還接続されたスイッチ回路2fを構成しており、それぞれトランジスタのソースは端子BSTを介して接続点n1に接続されており、端子BSTを介してブーストされた電圧、例えば+30Vが供給されている。トランジスタQ16とQ18のゲートはそれぞれトランジスタQ12'のドレインに接続されてインバータ2b、2cを介してHi側のドライバ回路Dr1に入力される。また、トランジスタQ17とQ15のゲートはそれぞれトランジスタQ10'のドレインに接続されている。インバータ2b、2cの電源として端子BSTを介して例えば+30Vが、また、端子SWを介して例えば+25Vが供給される。

【0022】ここで、基準電圧発生回路2dとトランジスタQ10'とQ12'は、トランジスタQ10'のゲートに入力されるPWM信号を比較してON/OFFするコンパレータとして動作し、基準電圧発生回路2dの基準電圧Vrefは、制御用の電源電圧VDD、例えば+5VにおけるHIGHレベル（以下“H”）、LOWレベル（以下“L”）の中間レベル、例えば+2.5Vに設定されている。

【0023】PWM信号が“L”から“H”に遷移すると、遷移時の中間レベルでトランジスタQ10'がON

10

20

30

40

50

になり、トランジスタQ12'がOFFになる。反対に、PWM信号が“H”から“L”に遷移すると、遷移時の中間レベルでトランジスタQ10'がOFFになり、トランジスタQ12'がONになる。この方法により、PWM信号が基準電圧を超えたか、それ以下に下がったかで、トランジスタQ12'のドレインから、例えば端子BSTの電圧+30VにおけるHIGHレベル（以下“Hbst”）とLOWレベル（以下“Lbst”）の出力を得ることができ、従来の回路に比して、出力の立ち上がり立ち下がり速くすることができる。

【0024】さらに、例えばPWM信号が“L”から“H”に遷移すると、トランジスタQ10'がONになると同時にトランジスタQ15もONすることにより、定電流源2aに流れる電流IがQ15に流れて電圧降下を発生する。この電圧降下分がトランジスタQ17のゲートの閾値より大きくなるようになっているので、トランジスタQ17がトランジスタQ15がない場合よりも素早くONになる。同時に、それまでトランジスタQ18に流れていた電流IによるQ18の電圧降下がなくなりトランジスタQ16が即座にOFFされる。このため、トランジスタQ17のドレインから、高い電圧にレベル変換された“Hbst”が出力される。反対に、PWM信号が“H”から“L”に遷移すると、トランジスタQ12'がONになると同時にトランジスタQ18もONすることにより、定電流源2aに流れる電流IがQ18に流れて電圧降下を発生する。この電圧降下分がトランジスタQ16のゲートの閾値より大きくなるようになっているので、トランジスタQ16が即座にONになる。同時に、Q15に流れていた電流IがなくなりQ15による電圧降下が消滅すると、トランジスタQ17が即座にOFFになり、Q17のドレインより“Lbst”が出力される。すなわち、このような構成により、Q10'又はQ12'のドレイン電圧が上昇するのをQ15又はQ18が加速するように動作するため、Q16とQ17のみの構成でそれぞれがONになるときよりも遅延が減少している。また、前記トランジスタQ15とQ18を抵抗にすることも可能であるが、その場合、高抵抗が必要となり寄生容量の影響が出やすくなる。このように、MOSTランジスタをQ15とQ18に使用することにより、“Hbst”と“Lbst”の遷移時の波形のスピードアップを図ることができ、更に、トランジスタQ16とQ17のそれぞれのゲートに過電圧が印加されるのを防止することもできる。

【0025】このようにして高い電圧に変換されてトランジスタQ12'のドレインから出力される電圧はインバータ2bと2aを介してHi側のドライバ回路Dr1に供給され、最終段のトランジスタTr1を入力電源の電圧よりも高い電圧でTr2と相補的にON/OFFする。

【0026】図2は、図1で説明したスイッチングレギュレータのレベルシフト回路2のCMOSによる他の具体的な回路である。回路の基本的な動作は図1を参照して説明した動作と同じであるが、以下はその補足説明である。

【0027】図2に示される端子、VDD、Pulse、BST、OUT、SWはそれぞれ図1に示される同符号の端子に対応する。また、端子GNDは接地端子を意味する。PMOSTランジスタQ1とNMOSTランジスタQ2でインバータを構成しており、同様にトランジスタQ3とQ4、Q5とQ6、Q7とQ8もそれぞれインバータを構成している。従って、端子Pulseから入力されるPWM信号でトランジスタQ9とQ11は相補的にON/OFFされる。すなわち、PWM信号が“H”のときトランジスタQ9がONになり、PWM信号が“L”のときトランジスタQ11がONになる。ここで、トランジスタQ5とQ6、Q7とQ8との間にそれぞれ設けられた抵抗R1とR2は、トランジスタQ9とQ11に流れる電流を設定するために用いられる。トランジスタQ9はQ10と、トランジスタQ11はQ12とそれぞれカレントミラー回路を構成している。そのため、Pulse端子が“H”のPWM信号を受けたときにはトランジスタQ10にはトランジスタQ9に流れる電流に比例した電流が流れ、“L”のPWM信号を受けたときにはトランジスタQ12にはトランジスタQ11に流れる電流に比例した電流が流れるようになっている。

【0028】トランジスタQ13とQ14のゲートにはそれぞれ+VDDが与えられ、常にチャネルが形成されており、Q10とQ12のON/OFF時の電圧の変動を抑えるようになっている。すなわち、前記のようにトランジスタQ5とQ6、Q7とQ8で構成されるそれぞれのインバータに流れる電流に応じた電流を流して駆動することと、トランジスタQ13、Q14により電流を制限していることにより、トランジスタQ10とQ12をON/OFFした際のレベルシフトされた信号の立ち上がり立ち下がり時の遅れを低減し、図1を参照して説明した本実施形態の簡易回路のトランジスタQ10'とQ12'で構成されるコンパレータと同様の役割を果たしているとともに、レベルシフト回路の耐圧を向上させ、消費電力を低減するようになっている。

【0029】トランジスタQ15からQ18の動作は、図1を参照して説明した同符号を付したトランジスタから構成されるスイッチ回路2fと同じである。トランジスタQ19には、Q10またはQ12を介して流れる電流が常時流れ、そのドレイン/ソース間に閾値に相当する電圧降下が生じるようになっている。すなわち、Q16とQ17のON/OFFの切り替えはBSTを介し供給されるブーストされた電圧、例えば+30VよりQ19の電圧降下分だけ低い電圧で行われることになり、Q

13とQ14のドレイン側に発生する“Hbst”時の電圧が、端子BSTの電圧Vbstより電圧降下分だけ低い電圧になり、信号の立ち上がり、立ち下がり時間の短縮に貢献する。言い換えれば、トランジスタQ19は下流の回路に過電流が流れないように制限し、トランジスタQ16とQ17のゲートに過電圧がかからないようにする効果も持っている。

【0030】また、Q13とQ14のそれぞれのドレイン側から出力されるレベルは相補的になるが、レベルが重なり合う瞬間にはインバータに貫通電流が流れるため、トランジスタQ20からQ25で構成される貫通電流抑制回路で大きな貫通電流が流れないようにして出力している。トランジスタQ26とQ27、Q28とQ29でそれぞれインバータが構成されており、最終段のインバータより端子OUTを介して高い電圧の制御パルスPHをHi側のドライバ回路に出力する。

【0031】本実施形態ではレベルシフト回路2の具体的な構成例をCMOS回路で説明したが、これに限定されるものではなく、図1で示した概略回路に基づいて、その他の回路により構成してもよい。また、レベルシフト回路2以外の回路の構成例は本発明の解説のためのものであって、本発明の範囲を限定するものではない。

【0032】

【発明の効果】以上説明したように、本発明のレベルシフト回路を用いたスイッチングレギュレータによれば、低い電圧のPWM信号をレベルシフト回路で高い電圧の立ち上がり、立ち下がりの速い制御パルスに変換して、Hi側のドライバ回路を介して出力段のMOSTランジスタをスイッチングするため、高い入力電圧のレギュレーションに対してスイッチング動作が速くなって、レギュレーション動作が安定するとともに、ON抵抗が小さく電力消費の少ないスイッチングレギュレータを提供することができる。

【図面の簡単な説明】

【図1】 本発明の一実施形態であるレベルシフト回路を簡略回路で表したスイッチングレギュレータの概略回路図

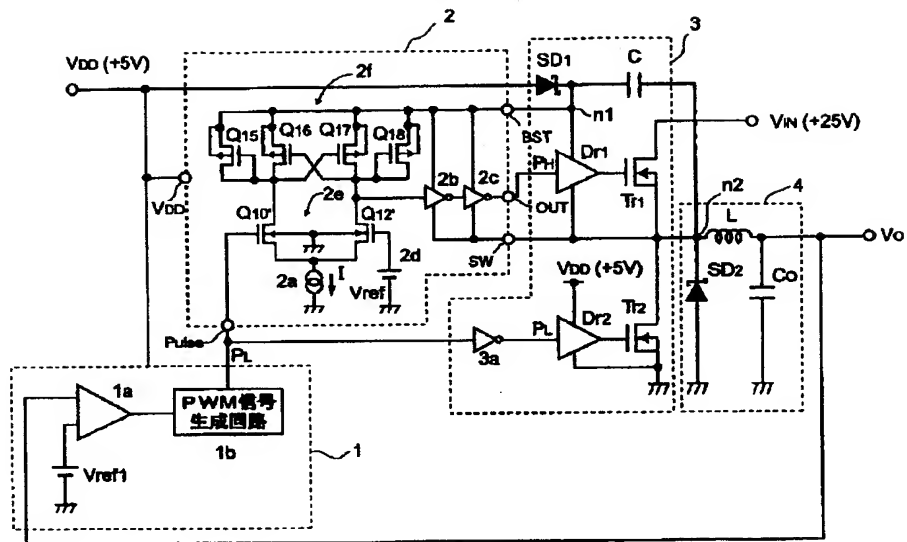
【図2】 レベルシフト回路のCMOSによる他の具体的な回路図。

【図3】 従来のレベルシフト回路を採用したスイッチングレギュレータの概略回路例。

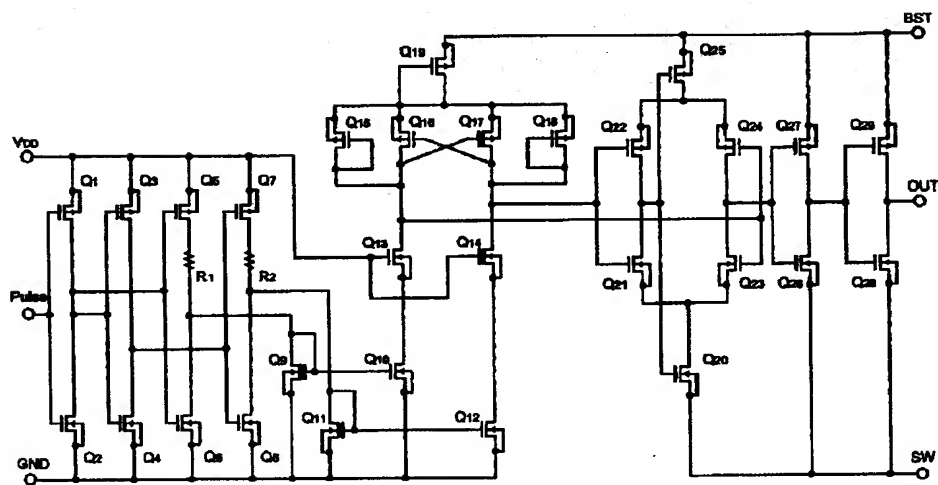
【符号の説明】

- 1 制御回路
- 1a 誤差増幅器
- 2 レベルシフト回路
- 2a 定電流源
- 2b、2c インバータ
- 2d 基準電圧発生回路
- 2e コンパレータ
- 2f スイッチ回路
- 3 ブーストストラップスイッチング回路
- 3a インバータ
- 4 平滑回路
- BST 端子
- C、CO コンデンサ
- Dr1、Dr2 ドライバ回路
- GND 端子
- I 電流
- L インダクタ
- n1、n2 接続点
- OUT 端子
- PH 高い電圧の制御パルス
- PL 低い電圧の制御パルス
- Pulse 端子
- Q10'、Q12'、Q1~Q29、Q31、Q32 トランジスタ
- R、R1、R2 抵抗
- SW 端子
- Tr1、Tr2 トランジスタ
- VDD 制御用電源電圧
- VIN 入力電源電圧
- VO 出力電圧
- Vref、Vref1 基準電圧
- SD1、SD2 ショットキーダイオード

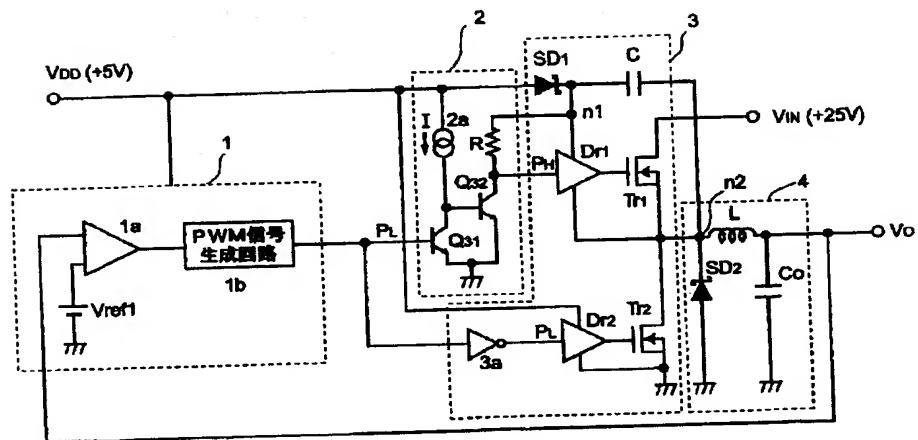
【図1】



【図2】



【図3】



[JP,2003-235251,A]

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] In order that this invention may have a high input power electrical potential difference and the low supply voltage for control and may perform a regulation, it relates to the switching regulator which performed amelioration which stabilizes switching and raises a working speed in the DC/DC switching converter of the boost strap method which switches an output transistor by driver voltage higher than an input power electrical potential difference.

[0002]

[Description of the Prior Art] In order to carry out electrical-potential-difference conversion efficiently and to obtain a predetermined electrical potential difference by diversification of the device which needs DC power supplies, such as a portable personal computer, the DC to DC converter which used the switching regulator is used.

[0003] Especially, by the device of a pocket mold, in order to reduce the power loss in the driver of a switching transistor and to aim at improvement in a switching rate and a speed of response, an MOSFET transistor is used for a switching transistor and it drives gate voltage higher than an input power electrical potential difference by the boost strap method. In this case, the supply voltage of a control circuit is 5V, switched high input power electrical potential differences, such as 10V-30V, and has obtained high output voltage in the output circuit.

[0004] The example of an outline circuit of the switching regulator which adopted the conventional level shift circuit as drawing 3 is shown. This switching regulator consists of a control circuit 1, the level shift circuit 2, a boost strap switching circuit 3, and a smoothing circuit 4. Input power is inputted into the power source for control, and VIN at VDD, respectively, and predetermined output voltage is outputted from VO.

[0005] Output voltage VO returns, and a control circuit 1 is compared with the predetermined reference voltage Vref1, and consists of error amplifier 1a which amplifies and outputs the difference, and PWM signal generation circuit 1b which generates control pulse PL with the duty according to the difference. In addition, as for the control circuit, the power source is supplied by the power source VDD for control.

[0006] In response to said control pulse PL, by constant current source 2a, the NPN bipolar transistors Q31 and Q32, and the circuit that consists of resistance R, this is changed into control pulse PH of a high electrical potential difference, and the level shift circuit 2 outputs it to the next step.

[0007] The driver circuit Dr1 by the side of Hi which supplies a switching signal in response to control pulse PH of an electrical potential difference with the high boost strap switching circuit 3, The transistor Tr1 of NMOS which carries out ON/OFF of the input power VIN according to the switching signal, The driver circuit Dr2 by the side of Lo which supplies a switching signal

in response to control pulse PL of the low electrical potential difference reversed by inverter 3a, The transistor Tr2 of NMOS which carries out ON/OFF to a transistor Tr1 complementary according to the switching signal, It is constituted by the boost strap circuit which generates the electrical potential difference VIN of input power, or the electrical potential difference beyond it at a node n1 using schottky diode SD 1 and Capacitor C.

[0008] The smoothing circuit 4 consisted of a smoothing filter of the L type which consists of schottky diode SD 2, and Inductor L and Capacitor CO, and has improved the ripple of output voltage.

[0009] Next, the actuation is concretely explained centering on the level shift circuit 2 and the boost strap switching circuit 3. If the transistor Tr1 by the side of Hi is turned off and the transistor Tr2 by the side of Lo is turned on complementary, the charging current will flow into Capacitor C from VDD of +5V through schottky diode SD 1, and 5V will be charged. 5V [next,] by which the electrical potential difference of the node n2 of the other end of Capacitor C becomes the same as the electrical potential difference VIN of the input power of +25V, and the electrical potential difference of a node n1 is charged by Capacitor C if a transistor Tr1 is turned on and a transistor Tr2 is turned off complementary -- a part for the electrical potential difference of a node n2 -- that is, it is raised +25V and set to +30V. And electrical-potential-difference +30V generated at this node n1 will be supplied to the collector of the transistor Q32 of the driver circuit Dr1 by the side of Hi of the boost strap switching circuit 3, and the level shift circuit 2 through Resistance R.

[0010] The collector of the transistor Q31 of the level shift circuit 2 is connected to the power source VDD for control through constant current source 2a, and the emitter is grounded. The collector of a transistor Q32 is connected at the node n1 boosted through Resistance R as mentioned above, the output from the collector is inputted into the driver circuit Dr1 by the side of Hi, and the emitter is grounded by coincidence. For this reason, control pulse PL of +5V inputted into the base of a transistor Q31 is changed into control pulse PH of +30V, and is outputted to the driver circuit Dr1 by the side of Hi from a transistor Q32.

[0011] Consequently, the control pulse of the high electrical potential difference which has Lo level of +25V and Hi level of +30V from the driver circuit Dr1 by the side of Hi is given as gate voltage of a transistor Tr1. Since this gate voltage is higher than the electrical potential difference of input power, a transistor Tr1 is driven at a high speed, and it becomes possible to make that ON resistance small. Moreover, since a transistor Tr2 is driven by the low voltage side, a low battery is sufficient, and like a control circuit 1, the driver circuit Dr2 by the side of Lo also operates according to the power source VDD for control of +5V, and supplies the switching signal of +5V to the gate of the transistor Tr2 of the next step.

[0012]

[Problem(s) to be Solved by the Invention] However, since a transistor Q32 is saturated with the level shift circuit 2 which consisted of above transistors Q31 and Q32 according to the cumulative effect of a minority carrier when a transistor Q31 turns off, when control pulse PH (electrical potential difference of the collector of a transistor Q2 and the node of Resistance R) changes from LOW level to HIGH level after that, remarkable delay occurs in it. For this reason, there is a fault to which actuation of the driver circuit Dr1 by the side of Hi is overdue, and electrical-potential-difference stabilization actuation becomes slow.

[0013] Moreover, the penetration current by the level shift circuit was large, and the problem that the consumed electric current was large also had it.

[0014] By being made in order to solve the above technical problems, falling with the standup of

a control pulse PH like before, and decreasing the delay at the time sharply, the electrical-potential-difference stabilization working speed of this invention is quick, and it offers a switching regulator with little power consumption.

[0015]

[Means for Solving the Problem] In order to attain the above-mentioned purpose, by this invention, it operates with control supply voltage lower than the electrical potential difference of input power. The control circuit which generates the 1st control pulse of the predetermined pulse width in which HIGH level has an electrical potential difference lower than said input power, The boost strap circuit which carries out the boost rise of said input power, and generates boosted voltage higher than input power, It has the level shift circuit which uses boosted voltage as a power source and generates the 2nd control pulse with the HIGH level higher than said 1st control pulse according to said 1st control pulse. In the switching regulator controlled so that said input power electrical potential difference is inputted into the end of an MOSFET transistor, said MOSFET transistor is switched according to said 2nd control pulse and output voltage turns into a target electrical potential difference said level shift circuit The 1st and the 2nd MOS transistor to which the current of a constant current source flows complementary according to the result of having compared and compared this with the electrical potential difference of said 1st control pulse on the basis of the middle level of the HIGH level of said 1st control pulse, and LOW level, The 3rd MOS transistor by which the gate was connected to the drain of said 2nd MOS transistor, and the drain was connected to the drain of said 1st MOS transistor, The 4th MOS transistor by which the gate was connected to the drain of said 1st MOS transistor, and the drain was connected to the drain of said 2nd MOS transistor, The 5th MOS transistor by which connected with juxtaposition at said 3rd MOS transistor, and the gate and drain were connected to the drain of said 3rd MOS transistor, Connect with juxtaposition at said 4th MOS transistor, and the gate and drain consist of the 6th MOS transistor connected to the drain of said 4th MOS transistor. It is characterized by having the switching circuit from which positive feedback connection is made and the electrical potential difference of the HIGH level of the output voltage of the drain of said 2nd MOS transistor is quickly pulled up on an electrical potential difference higher than the HIGH level of said 1st control pulse.

[0016] Furthermore, by this invention, it operates with control supply voltage lower than the electrical potential difference of input power. The control circuit which generates the 1st control pulse of the predetermined pulse width in which HIGH level has an electrical potential difference lower than said input power, The boost strap circuit which carries out the boost rise of said input power, and generates boosted voltage higher than input power, It has the level shift circuit which uses boosted voltage as a power source and generates the 2nd control pulse with the HIGH level higher than said 1st control pulse according to said 1st control pulse. In the switching regulator controlled so that the power of said input power is inputted into the end of an MOSFET transistor, said MOSFET transistor is switched according to said 2nd control pulse and output voltage turns into a target electrical potential difference said level shift circuit According to the level of the 1st control pulse inputted into the 1st and the 2nd inverter complementary, by supplying constant current to the 1st and the 2nd MOS transistor from said the 1st and 2nd inverter, respectively The 1st which controls the standup of said 1st control pulse and the delay of falling which are inputted, respectively, said 1st [the] which constitute the 2nd current Miller circuit, and the 2nd MOS transistor, The 3rd and the 4th MOS transistor which control the voltage variation of said the 1st and 2nd MOS transistor by being in each upstream or lower stream of a river of said the 1st and 2nd MOS transistor, and always impressing control voltage

to the gate, The 5th MOS transistor by which the gate was connected to the drain of said 4th MOS transistor, and the drain was connected to the drain of said 3rd MOS transistor, The 6th MOS transistor by which the gate was connected to the drain of said 3rd MOS transistor, and the drain was connected to the drain of said 4th MOS transistor, The 7th MOS transistor by which connected with juxtaposition at said 5th MOS transistor, and the gate and drain were connected to the drain of said 5th MOS transistor, Connect with juxtaposition at said 6th MOS transistor, and the gate and drain consist of the 8th MOS transistor connected to the drain of said 6th MOS transistor. The switching circuit from which positive feedback connection is made and the electrical potential difference of the HIGH level of the output voltage of the drain of said 4th MOS transistor is pulled up on an electrical potential difference higher than the HIGH level of said 1st control pulse, The source is connected to said boosted voltage, and the electrical potential difference which descended by the threshold is supplied to said switching circuit from the drain from boosted voltage according to the flowing current. The 9th MOS transistor which performs transition to the HIGH level in a switching circuit, The penetration current by the timing of the output voltage lapping is characterized by having the penetration current control circuit constituted from two or more MOS transistors which control flowing in a circuit in response to the output voltage from the drain of said the 3rd and 4th MOS transistor.

[0017] Moreover, the control circuit which generates the 1st control pulse of the predetermined pulse width in which HIGH level has an electrical potential difference lower than input power in this invention, It has the level shift circuit which generates the 2nd control pulse with the HIGH level higher than said 1st control pulse. In the switching regulator which controls output voltage by switching said input power according to said 2nd control pulse said level shift circuit The 1st transistor which common connection of the terminal by the side of low voltage is made, and carries out ON/OFF according to the level of said 1st control pulse at the same time common connection of the terminal by the side of high potential is made, The 1st switching circuit constituted by the 1st transistor and the 2nd transistor which carries out ON/OFF complementary, The 3rd transistor which common connection of the terminal by the side of low voltage is made, and carries out ON/OFF to said 1st transistor complementary at the same time common connection of the terminal by the side of high potential is made, It has the 2nd switching circuit constituted by the 3rd transistor and the 4th transistor which carries out ON/OFF complementary. The input terminal of said 1st transistor for the terminal by the side of the low voltage of said 3rd transistor By connecting the input terminal of said 3rd transistor to the terminal by the side of the low voltage of said 1st transistor, respectively, and making common connection of the input terminal of said the 2nd and 4th transistor with the terminal by the side of the low voltage of each transistor To the input terminal of said 3rd transistor, while said 2nd transistor prevents that an overvoltage is impressed to the input terminal of said 1st transistor, said 4th transistor A speed of response in case said the 1st and 3rd transistor carry out ON/OFF complementary is sped up, and it is characterized by outputting the 2nd control pulse higher than the electrical potential difference according to said 1st control pulse from said 2nd circuit.

[0018] In order according to the above-mentioned configuration to change the control pulse of a low electrical potential difference into the standup of a high electrical potential difference, and the quick control pulse of falling in a level shift circuit and to switch the MOS transistor of an output stage through the driver circuit by the side of Hi, while switching operation becomes quick to the regulation of high input voltage and regulation actuation is stabilized, ON resistance can offer a small switching regulator with little power consumption.

[0019]

[Embodiment of the Invention] Hereafter, the gestalt of operation of this invention is explained with reference to an accompanying drawing. In addition, the same part as drawing 3 gives the same sign, and the detailed explanation is omitted. Drawing 1 is the outline circuit diagram of a switching regulator which expressed the level shift circuit which is 1 operation gestalt of this invention in the simple circuit.

[0020] The switching regulator of drawing 1 consists of a control circuit 1, the level shift circuit 2, a boost strap switching circuit 3, and a smoothing circuit 4. Input power is inputted into the power source for control, and VIN at VDD, respectively, and predetermined output voltage is outputted from VO. Other circuits except the level shift circuit 2 are the same as that of the configuration of the circuit of drawing 3 explained as a conventional technique, explanation of the configuration and actuation is omitted, and it explains centering on the level shift circuit 2 which is 1 operation gestalt of this invention here.

[0021] The level shift circuit 2 concerning this invention shown in drawing 1 operates NMOS transistor Q10' and Q12' as a differential transistor, and is constituted as comparator 2e, and the source is grounded through common constant current source 2a to which a current value I flows. Therefore, the gate of transistor Q12' is grounded through 2d of reference voltage generating circuits which generate reference voltage Vref, and the gate of transistor Q10' receives the PWM signal which is a control pulse through Terminal Pulse. Q18 constitutes 2f of switching circuits by which positive feedback connection was made from a PMOS transistor Q15, and the source of a transistor is connected through Terminal BST at the node n1, respectively, and the electrical potential difference boosted through Terminal BST, +30V [for example,], is supplied. It connects with the drain of transistor Q12', and the gate of transistors Q16 and Q18 is inputted into the driver circuit Dr1 by the side of Hi through inverter 2b and 2c, respectively. Moreover, the gate of transistors Q17 and Q15 is connected to the drain of transistor Q10', respectively. +25V are supplied for +30V through Terminal SW again through Terminal BST as a power source of inverter 2b and 2c.

[0022] Here, 2d of reference voltage generating circuits, transistor Q10', and Q12' operate as a comparator which compares and carries out ON/OFF of the PWM signal inputted into the gate of transistor Q10', and the reference voltage Vref of 2d of reference voltage generating circuits is set to the supply voltage VDD for control, for example, the HIGH level in +5V, (following "H"), and the middle level of LOW level (following "L"), +2.5V [for example,].

[0023] If an PWM signal changes from "L" to "H", transistor Q10' will be turned on on the middle level at the time of transition, and transistor Q12' will be turned off. On the contrary, if an PWM signal changes from "H" to "L", transistor Q10' will be turned off on the middle level at the time of transition, and transistor Q12' will be turned on. By this approach, by whether the PWM signal exceeded reference voltage or it fell less than [it], the output of the HIGH level (following "Hbst") in electrical-potential-difference +30V and LOW level (following "Lbst") of Terminal BST can be obtained, for example, and the standup and falling of an output can be made quick from the drain of transistor Q12' as compared with the conventional circuit.

[0024] Furthermore, if an PWM signal changes from "L" to "H", for example, and transistor Q10' is turned on, by turning on a transistor Q15 in abbreviation coincidence, the current I which flows to constant current source 2a will flow to Q15, and will generate a voltage drop. Since the amount of this voltage drop becomes larger than the threshold of the gate of a transistor Q17, a transistor Q17 is turned on more quickly than the case where there is no transistor Q15. To coincidence, the voltage drop of Q18 by the current I which was flowing to the transistor Q18 till

then is lost, and a transistor Q16 is immediately turned off. For this reason, "Hbst" by which the level conversion was carried out to the high electrical potential difference from the drain of a transistor Q17 is outputted. On the contrary, if an PWM signal changes from "H" to "L", and transistor Q12' is turned on, by turning on a transistor Q18 in abbreviation coincidence, the current I which flows to constant current source 2a will flow to Q18, and will generate a voltage drop. Since the amount of this voltage drop becomes larger than the threshold of the gate of a transistor Q16, a transistor Q16 is turned on immediately. If the current I which was flowing to coincidence Q15 is lost and the voltage drop by Q15 disappears, a transistor Q17 is turned off immediately and it is the drain of Q17. "Lbst" is outputted. That is, as it accelerated in Q15 or Q18 by such configuration that the drain electrical potential difference of Q10' or Q12' rises, in order to operate, delay is decreasing rather than the time of each being turned on with the configuration of only Q16 and Q17. Moreover, although it is also possible to make resistance said transistors Q15 and Q18, high resistance is needed in that case, and it becomes easy to come out of the effect of parasitic capacitance. Thus, by using an MOS transistor for Q15 and Q18, wave-like speedup at the time of transition of "Hbst" and "Lbst" can be aimed at, and it can also prevent further that an overvoltage is impressed to each gate of transistors Q16 and Q17.

[0025] Thus, the electrical potential difference which is transformed into a high electrical potential difference and outputted from the drain of transistor Q12' is supplied to the driver circuit Dr1 by the side of Hi through inverter 2b and 2a, and carries out ON/OFF of the transistor Tr1 of the last stage to Tr2 complementary on an electrical potential difference higher than the electrical potential difference of input power.

[0026] Drawing 2 is other concrete circuits by CMOS of the level shift circuit 2 of a switching regulator explained by drawing 1. Although fundamental actuation of a circuit is the same as the actuation explained with reference to drawing 1, the following is the supplementary information.

[0027] The terminal shown in drawing 2, VDD, Pulse, and BST, OUT and SW correspond to the terminal of the same sign shown in drawing 1, respectively. Moreover, Terminal GND means an earth terminal. The inverter is constituted from a PMOS transistor Q1 and an NMOS transistor Q2, and a transistor Q3, Q4 and Q5, and Q6, Q7 and Q8 constitute the inverter similarly, respectively. Therefore, ON/OFF of the transistors Q9 and Q11 is carried out complementary by the PWM signal inputted from Terminal Pulse. That is, when an PWM signal is "H", a transistor Q9 is turned on, and when an PWM signal is "L", a transistor Q11 is turned on. Here, the resistance R1 and R2 prepared between a transistor Q5, and Q6, Q7 and Q8, respectively is used in order to set up the current which flows to transistors Q9 and Q11. In the transistor Q9, Q10 and a transistor Q11 constitute current Miller circuit with Q12, respectively. Therefore, when a Pulse terminal receives the PWM signal of "H", to a transistor Q10, the current proportional to the current which flows to a transistor Q9 flows, and when the PWM signal of "L" is received, to a transistor Q12, the current proportional to the current which flows to a transistor Q11 flows.

[0028] +VDD is given to the gate of transistors Q13 and Q14, respectively, the channel is always formed, and fluctuation of the electrical potential difference at the time of ON/OFF of Q10 and Q12 is suppressed. [restrict / passing and driving a transistor Q5 and the current according to the current which flows to each inverter which consists of Q6, Q7, and Q8 as mentioned above, and / namely, / with transistors Q13 and Q14 / the current] Fall with the standup of the signal with which the level shift of [at the time of carrying out ON/OFF of the transistors Q10 and Q12] was carried out, and the delay at the time is reduced. While having played the same role as the comparator which consists of transistor Q10' and Q12' of a simple circuit of this operation gestalt

explained with reference to drawing 1 , pressure-proofing of a level shift circuit is raised and power consumption is reduced.

[0029] Actuation of Q18 is the same as 2f of switching circuits which consist of transistors which attached the same sign explained with reference to drawing 1 from a transistor Q15. To a transistor Q19, the current which flows through Q10 or Q12 always flows, and the voltage drop which is equivalent to a threshold between its drain/source arises to it. That is, the boosted electrical potential difference which is supplied through BST, for example, the electrical potential difference at the time of +30"Hbst" which it will be carried out on the electrical potential difference of Q19 low by the voltage drop from V, and is generated in the drain side of Q13 and Q14, turns into an electrical potential difference by the voltage drop lower than the electrical potential difference Vbst of Terminal BST, and the change of ON/OFF of Q16 and Q17 contributes to the standup of a signal, and compaction of falling time amount. In other words, a transistor Q19 is restricted so that an overcurrent may not flow in a down-stream circuit, and it also has the effectiveness it is made not to require an overvoltage for the gate of transistors Q16 and Q17.

[0030] Moreover, although the level outputted from each drain side of Q13 and Q14 becomes complementary, since a penetration current flows to an inverter the moment level overlaps, as a big penetration current is not flowing, it is outputting it from the transistor Q20 in the penetration current control circuit which consists of Q25. The inverter consists of a transistor Q26, and Q27, Q28 and Q29, respectively, and control pulse PH of a high electrical potential difference is outputted to the driver circuit by the side of Hi through Terminal OUT from the inverter of the last stage.

[0031] Although the CMOS circuit explained the concrete example of a configuration of the level shift circuit 2 with this operation gestalt, it is not limited to this and other circuits may constitute based on the outline circuit shown by drawing 1 . Moreover, the example of a configuration of circuits other than level shift circuit 2 is a thing for description of this invention, and does not limit the range of this invention.

[0032]

[Effect of the Invention] As explained above, in order according to the switching regulator using the level shift circuit of this invention to change the PWM signal of a low electrical potential difference into the standup of a high electrical potential difference, and the quick control pulse of falling in a level shift circuit and to switch the MOS transistor of an output stage through the driver circuit by the side of Hi, while switching operation becomes quick to the regulation of high input voltage and regulation actuation is stabilized, ON resistance can offer a small switching regulator with little power consumption.

CLAIMS

[Claim(s)]

[Claim 1] The control circuit which generates the 1st control pulse of the predetermined pulse width in which it operates with control supply voltage lower than the electrical potential difference of input power, and HIGH level has an electrical potential difference lower than said input power, The boost strap circuit which carries out the boost rise of said input power, and generates boosted voltage higher than input power, It has the level shift circuit which uses boosted voltage as a power source and generates the 2nd control pulse with the HIGH level higher than said 1st control pulse according to said 1st control pulse. In the switching regulator

controlled so that said input power electrical potential difference is inputted into the end of an MOSFET transistor, said MOSFET transistor is switched according to said 2nd control pulse and output voltage turns into a target electrical potential difference said level shift circuit The 1st and the 2nd MOS transistor to which the current of a constant current source flows complementary according to the result of having compared and compared this with the electrical potential difference of said 1st control pulse on the basis of the middle level of the HIGH level of said 1st control pulse, and LOW level, The 3rd MOS transistor by which the gate was connected to the drain of said 2nd MOS transistor, and the drain was connected to the drain of said 1st MOS transistor, The 4th MOS transistor by which the gate was connected to the drain of said 1st MOS transistor, and the drain was connected to the drain of said 2nd MOS transistor, The 5th MOS transistor by which connected with juxtaposition at said 3rd MOS transistor, and the gate and drain were connected to the drain of said 3rd MOS transistor, Connect with juxtaposition at said 4th MOS transistor, and the gate and drain consist of the 6th MOS transistor connected to the drain of said 4th MOS transistor. The switching regulator characterized by having the switching circuit from which positive feedback connection is made and the electrical potential difference of the HIGH level of the output voltage of the drain of said 2nd MOS transistor is quickly pulled up on an electrical potential difference higher than the HIGH level of said 1st control pulse.

[Claim 2] The control circuit which generates the 1st control pulse of the predetermined pulse width in which it operates with control supply voltage lower than the electrical potential difference of input power, and HIGH level has an electrical potential difference lower than said input power, The boost strap circuit which carries out the boost rise of said input power, and generates boosted voltage higher than input power, It has the level shift circuit which uses boosted voltage as a power source and generates the 2nd control pulse with the HIGH level higher than said 1st control pulse according to said 1st control pulse. In the switching regulator controlled so that the power of said input power is inputted into the end of an MOSFET transistor, said MOSFET transistor is switched according to said 2nd control pulse and output voltage turns into a target electrical potential difference said level shift circuit According to the level of the 1st control pulse inputted into the 1st and the 2nd inverter complementary, by supplying constant current to the 1st and the 2nd MOS transistor from said the 1st and 2nd inverter, respectively The 1st which controls the standup of said 1st control pulse and the delay of falling which are inputted, respectively, said 1st [the] which constitute the 2nd current Miller circuit, and the 2nd MOS transistor, The 3rd and the 4th MOS transistor which control the voltage variation of said the 1st and 2nd MOS transistor by being in each upstream or lower stream of a river of said the 1st and 2nd MOS transistor, and always impressing control voltage to the gate, The 5th MOS transistor by which the gate was connected to the drain of said 4th MOS transistor, and the drain was connected to the drain of said 3rd MOS transistor, The 6th MOS transistor by which the gate was connected to the drain of said 3rd MOS transistor, and the drain was connected to the drain of said 4th MOS transistor, The 7th MOS transistor by which connected with juxtaposition at said 5th MOS transistor, and the gate and drain were connected to the drain of said 5th MOS transistor, Connect with juxtaposition at said 6th MOS transistor, and the gate and drain consist of the 8th MOS transistor connected to the drain of said 6th MOS transistor. The switching circuit from which positive feedback connection is made and the electrical potential difference of the HIGH level of the output voltage of the drain of said 4th MOS transistor is pulled up on an electrical potential difference higher than the HIGH level of said 1st control pulse, The source is connected to said boosted voltage, and the electrical potential difference which descended by the threshold is supplied to said switching circuit from

the drain from boosted voltage according to the flowing current. The 9th MOS transistor which performs transition to the HIGH level in a switching circuit, The output voltage from the drain of said the 3rd and 4th MOS transistor is received. The switching regulator characterized by having the penetration current control circuit constituted from two or more MOS transistors which control that the penetration current by the timing of the output voltage lapping flows in a circuit. [Claim 3] The control circuit which generates the 1st control pulse of the predetermined pulse width in which HIGH level has an electrical potential difference lower than input power, It has the level shift circuit which generates the 2nd control pulse with the HIGH level higher than said 1st control pulse. In the switching regulator which controls output voltage by switching said input power according to said 2nd control pulse said level shift circuit The 1st transistor which common connection of the terminal by the side of low voltage is made, and carries out ON/OFF according to the level of said 1st control pulse at the same time common connection of the terminal by the side of high potential is made, The 1st switching circuit constituted by the 1st transistor and the 2nd transistor which carries out ON/OFF complementary, The 3rd transistor which common connection of the terminal by the side of low voltage is made, and carries out ON/OFF to said 1st transistor complementary at the same time common connection of the terminal by the side of high potential is made, It has the 2nd switching circuit constituted by the 3rd transistor and the 4th transistor which carries out ON/OFF complementary. The input terminal of said 1st transistor for the terminal by the side of the low voltage of said 3rd transistor By connecting the input terminal of said 3rd transistor to the terminal by the side of the low voltage of said 1st transistor, respectively, and making common connection of the input terminal of said the 2nd and 4th transistor with the terminal by the side of the low voltage of each transistor To the input terminal of said 3rd transistor, while said 2nd transistor prevents that an overvoltage is impressed to the input terminal of said 1st transistor, said 4th transistor A speed of response in case said the 1st and 3rd transistor carry out ON/OFF complementary is sped up, and it is characterized by outputting the 2nd control pulse higher than the electrical potential difference according to said 1st control pulse from said 2nd circuit.